

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開 号

特開平5-159696

(43) 公開日 平成 5 年 (1993) 6 月 25 日

(51) Int.Cl.<sup>6</sup>

H 0 1 J 1/30

識別記号

庁内整理番号

F I

技術表示箇所

B 9058-5E

審査請求 未請求 請求項の数 2 (全 7 頁)

(21) 出願番号 特願平3-319251

(22) 出願日 平成 3 年 (1991) 12 月 3 日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 丸尾 祐二

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

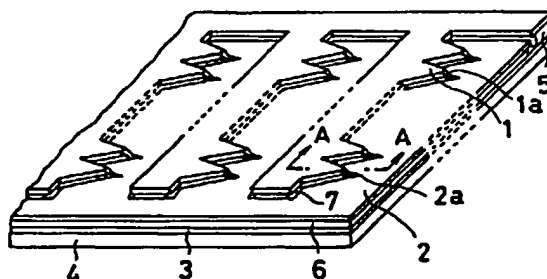
(74) 代理人 弁理士 川口 義雄 (外 1 名)

(54) 【発明の名称】 電界放出型電子素子

(57) 【要約】

【目的】 高速動作に適した電界放出型電子素子を提供する。

【構成】 ノンドープ S i (シリコン) 基板等の高抵抗単結晶シリコン基板 4 上に、モリブデン金属製のアノード電極層 3 が形成されている。さらに、このアノード電極層の上に、溝 7 を隔てて対向しかつ互いに絶縁された、絶縁層 5 を介したカソード電極層 1 と絶縁層 6 を介したゲート電極層 2 とが設けられている。絶縁層 5 及び絶縁層 6 は二酸化シリコンから成り、カソード電極層 1 及びゲート電極層 2 はモリブデン金属で形成されている。溝 7 を隔てた 2 つの積層部は、その平面が鋸歯形状を有しており、カソード電極層 1 の鋸歯形状部の先端部が電子放出部となる。この電子放出部を多数有するリニアアレイ状の鋸歯形状部が複数並んで設けられている。また、カソード電極層 1 の先端部 1 a は、ゲート電極層 2 の方向に向かって傾斜して先鋭化するように形成されており、先鋭化した先端部 1 a は溝 7 の方向へ絶縁層 5 より突出している。また、同様にゲート電極層 2 の先端部 2 a は溝 7 の方向へ絶縁層 6 より突出している。



1

## 【特許請求の範囲】

【請求項1】 アノード電極と、該アノード電極上に絶縁物を介して形成されたカソード電極と、前記アノード電極上に絶縁物を介して形成されたゲート電極とを備えており、前記カソード電極と前記ゲート電極とが電子移動空間としての間隙を隔てて配置されたことを特徴とする電界放出型電子素子。

【請求項2】 半導体又は金属製の基板と、該基板上に絶縁物を介して形成されたカソード電極と、前記基板上に絶縁物を介して形成されたゲート電極とを備えており、前記カソード電極と前記ゲート電極とが電子移動空間としての間隙を隔てて配置されており、前記間隙に面するように前記基板にアノード電極が形成されたことを特徴とする電界放出型電子素子。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電界放出の原理に基づいて動作する電界放出型電子素子に関する。

【0002】

【従来の技術】 近年、集積回路又は薄膜の分野において用いられている微細加工技術により、高電界において電子を放出する電界放出型電子素子製造技術の進歩はめざましく、特に極めて小型な構造を有する電界放出型冷陰極が製造されている。この種の電界放出型冷陰極は、三極管型の超小型電子管又は超小型電子銃を構成する基本的な電子放出デバイスである。

【0003】 電界放出型電子素子は、例えば微小三極管や薄型表示素子等の構成要素として考案されたもので、特に、スタンフォード リサーチ インスティテュート (Stanford Research Institute) のシー. エー. スピンド (C. A. Spindt) らによるジャーナル オブ アプライド フィジックス ( Journal of Applied Physics) の第47巻、12号、5248～5263頁 (1976年12月) に発表された研究報告等により公知であり、エイチ. エフ. グレイ (H. F. Gray) 等によって米国特許第4,307,507号及び第4,513,308号にも開示されている。

【0004】 公知の型の基本的な電界放出型電子素子の概略の斜視図を図13に、また、図13のD-D線の断面図を図14に示す。

【0005】 集積回路又は薄膜の分野における微細加工技術との互換性、低コスト化、及び他の電子回路素子とのモノリシック化等を考慮して、基板電極104には低抵抗の単結晶Si (シリコン) 基板が用いられている。基板電極104の上には、多数の円錐形状の冷陰極チップ101が形成されており、これらの冷陰極チップ101は、基板電極104と同一の低抵抗単結晶Siか又はW (タングステン)、Mo (モリブデン) 等の高融点金属材料で作られている。また、冷陰極チップ101の周囲の基板電極104の上には絶縁層105が形成されており、絶縁層105の上にはさらにゲート電極102が

2

積層されている。これらの冷陰極チップ101及びゲート電極102を覆うように、真空状態の間隙を隔ててアノード電極103が設けられている。

【0006】 このような構成において、冷陰極チップ101とゲート電極102との間にゲート電圧として100～200V程度の電圧を印加すると、冷陰極チップ101とゲート電極102との間に $10^7$  V/cm程度の強電界が発生し、電界放出の原理によって冷陰極チップ101より電子が放出される。さらに、アノード電極103に印加された300～500Vのアノード電圧によって、電子はアノード電極103に到達する。

【0007】 現状技術の範囲内において、ゲート電極102及び絶縁層105に設けられた溝106の直径 $d_{101}$  (図14参照) は最小で $1\mu\text{m}$ 程度であり、冷陰極チップ101の高さ $h_{101}$  は最小で同じく $1\mu\text{m}$ 程度が製造上の限界となる。また、微細化に伴う冷陰極チップ形状のばらつきによる各チップ毎の電子放出特性のばらつきも製造上、避けることができない。そのため、現状においては、従来の型の電界放出型電子素子のアノード電極を蛍光体を塗布した透明電極とし、冷陰極チップを電子放出源としてのみ利用した薄型表示装置を中心に試作が行われている。この種の電界放出型電子素子を、薄型表示装置に用いる際には、放出電子の高精度な制御は必要とされないこともあり、1画素当たり1000個以上の電子放出冷陰極チップをアレイ状に配列して並列に駆動することにより、電子放出冷陰極チップのばらつきを平均化すると共に、必要とされる放出電子の量を得ると言う方法が用いられている。

【0008】 一方、この電界放出型冷陰極を用いて超小型真空三極管を構成することにより、従来の半導体等の固体素子の欠点や限界を打ち破る素子を実現する可能性がある。固体素子では、固体中の電子の移動速度が $c/1000$  ( $c$ は光速) 程度で飽和するという限界があり、また、高温及び放射線に弱いという問題点がある。これに対し、電界放出型電子素子においては、放出電子は真空中を移動するので、電子の移動速度は固体中における移動速度より1桁以上大きくなるのが可能であり、かつ高温及び放射線に強いという利点がある。例えば $1\mu\text{m}$ の間隔を有する電極間に50Vの電圧を印加した場合、電子の移動速度は、平均で $2 \times 10^8$  cm/sであり、 $1\mu\text{m}$ の距離の移動時間は0.5 psecとなる。

【0009】 従って、サブミクロンオーダの素子寸法を有する真空三極管によってテラヘルツ程度の応答速度を有する超高速素子を実現できる可能性がある。

【0010】

【発明が解決しようとする課題】 従来の電界放出型電子素子の構造で高速動作を実現するには以下の点で問題がある。即ち、製造上の限界からカソード電極である冷陰極チップとゲート電極との間の距離をあまり小さくする

3

ことができないために、冷陰極チップ先端部で電子放出に必要な強電界を得るためにはカソード電極-ゲート電極間の印加電圧(ゲート電圧)を大きくしなければならぬ。さらに、カソード電極とアノード電極との間の距離が離れているために、カソード電極-アノード電極間の電子の移動にも時間を要する。

【0011】一方、冷陰極チップのカットオフ周波数 $f_r$ は、一般に次式により表される。

$$f_r = g_0 / (2\pi C_{gs})$$

但し、 $g_0$ は相互コンダクタンス、 $C_{gs}$ はゲート電極-カソード電極間のキャパシタンスである。

【0013】従って、高速動作が可能な冷陰極チップを実現するためには、相互コンダクタンス $g_0$ を大きくするか、又はキャパシタンス $C_{gs}$ を小さくしなければならない。しかしながら、従来の電界放出型電子素子の構造では、電子が放出されるのは冷陰極チップ先端部のみからであり、また冷陰極チップ間隔を小さくすることも製造上難しいため、電子放出面積は小さく、電子の放出量も小さくなる。そのため、電界放出による電流密度に依存している素子の相互コンダクタンス $g_0$ を大きくすることは困難である。また、従来の電界放出型電子素子は、絶縁層を挟んでゲート電極層とカソード電極層とが対向している構造のために、ゲート電極-カソード電極間のキャパシタンス $C_{gs}$ の値は大きくならざるを得ない。

【0014】従って、本発明は、上記の問題点を解決し、高速動作に適した電界放出型電子素子を提供するのである。

【0015】

【課題を解決するための手段】本発明によれば、アノード電極と、該アノード電極上に絶縁物を介して形成されたカソード電極と、アノード電極上に絶縁物を介して形成されたゲート電極とを備えており、カソード電極とゲート電極とが電子移動空間としての間隙を隔てて配置された電界放出型電子素子が提供される。

【0016】また、本発明によれば、半導体又は金属製の基板と、該基板上に絶縁物を介して形成されたカソード電極と、基板上に絶縁物を介して形成されたゲート電極とを備えており、カソード電極とゲート電極とが電子移動空間としての間隙を隔てて配置されており、間隙に面するように基板上にアノード電極が形成された電界放出型電子素子が提供される。

【0017】

【作用】本発明による電界放出型電子素子では、電極間の距離を従来の電界放出型電子素子と比較して小さくすることができる。具体的には、カソード電極とゲート電極との間の距離及びカソード電極とアノード電極との距離を小さくすることができる。これによって、ゲート電圧及びアノード電圧が低下する。さらに、上記構成では、従来のカソード電極とゲート電極とを絶縁物を介し

4

て積層した電界放出型電子素子と比較して、カソード電極-ゲート電極間のキャパシタンスの値を小さくすることができる。また、アノード電極がカソード電極とゲート電極との間の基板に設けられた場合、カソード電極-アノード電極間及びゲート電極-アノード電極間のキャパシタンスの値も小さくできる。

【0018】このような構成の電界放出型電子素子のカソード電極とゲート電極との間に、例えば、20V~100Vの電圧が印加されると、これに高速に応答してカソード電極の先端とゲート電極との間に10<sup>7</sup> V/cm程度の強電界が発生し、電界放出の原理により冷陰極チップの上端から電子が放出される。

【0019】

【実施例】以下本発明による実施例について図面を参照して説明する。図1は本発明に係る電界放出型電子素子の一実施例の斜視図である。図2は図1のA-A線の断面図である。

【0020】電界放出型電子素子基板としてはノンドーブS1(シリコン)基板等の高抵抗単結晶シリコン基板4が使用される。このシリコン基板4上に、モリブデン金属製のアノード電極層3が形成されている。さらに、このアノード電極層3の上に、溝7を隔てて対向しかつ互いに絶縁された、絶縁層5を介したカソード電極層1と絶縁層6を介したゲート電極層2とが設けられている。絶縁層5及び絶縁層6は二酸化シリコンから成り、カソード電極層1及びゲート電極層2はモリブデン金属で形成されている。ここで、カソード電極層1とゲート電極層2との水平方向距離 $d_1$ は0.1~0.5 $\mu$ m程度に設定され、絶縁層5の厚さ $h_1$ は0.2~1.0 $\mu$ m程度、絶縁層6の厚さ $h_2$ は0.1~0.5 $\mu$ m程度に $h_1 > h_2$ なる関係を保持してそれぞれ設定される。即ち、空間的には、アノード電極層3とカソード電極層1との間にゲート電極層2が設けられている。

【0021】溝7を隔てた2つの積層部は図1に示すように、その平面が鋸歯形状を有しており、カソード電極層1の鋸歯形状部の先端部が電子放出部となる。この電子放出部を多数有するリニアアレイ状の鋸歯形状部が複数並んで設けられている。また、カソード電極層1の先端部1aは図2に示すように、ゲート電極層2の方向に向かって傾斜して先鋭化するように形成されており、先鋭化した先端部1aは溝7の方向へ絶縁層5より突出している。また、同様にゲート電極層2の先端部2aは溝7の方向へ絶縁層6より突出している。

【0022】尚、各電極層材料にはモリブデンを用いたが、これに限られるものではなく、クロムやタングステン、又は金、銀、銅、アルミニウム等の従来からの電極材料を用いてもよい。また、絶縁層には二酸化シリコンを用いたが、絶縁特性に優れたものであればこれに限られるものではない。

【0023】このように構成された電界放出型電子素子

において、カソード電極1とゲート電極2との間に、ゲート電圧として20V~100V程度の電圧を印加すると、カソード電極1の先端とゲート電極2との間に10V/cm程度の強電界が発生し、電界放出の原理に従ってカソード電極1の先端から電子が放出される。放出された電子は、あらかじめ電圧が印加されているアノード電極層3へと達する。従って、溝7はカソード電極1の先鋭化した先端部1aから放出される電子の電子移動空間である。ここで、カソード電極1からの電子放出量は、ゲート電圧の変化に対応して増減するため、ゲート電圧の変化がアノード電流の変化となってあらわれる三極管構造の素子として動作する。

【0024】上記したように、従来1μm程度であった各電極間の距離を小さくすることができるので、従って、より低いゲート印加電圧で電界放出に必要な電界強度を得ることができた。さらに、アノード電極とカソード電極との間の距離、即ち絶縁層5の厚さ $h_1$ は0.2~1.0μm程度に設定可能なので、アノード印加電圧の低減及びアノード電極とカソード電極との間の電子移動時間の短縮が可能となる。また、上記した実施例の電界放出型電子素子では、従来カソード電極及びゲート電極が積層されていた場合と比較してカソード電極-ゲート電極の重なり合う面積が小さくなるので、カソード電極-ゲート電極間のキャパシタンスが小さくなる。従って、素子のカットオフ周波数が大きくなり、素子の高速動作が可能となる。

【0025】次に、本発明の他の実施例について図3から図11を参照して説明する。

【0026】図3から図5は、絶縁層及びゲート電極層とから成る積層部、絶縁層及びカソード電極層とから成る積層部、及びこれらを隔てる溝の平面形状を示す。図3は、上記第1の実施例と同一の平面形状を有する実施例を示しており、鋸歯形状のカソード電極11及びゲート電極12のそれぞれの山と谷とが互いに噛み合った構造となっている。図4には、カソード電極13側の鋸歯形状部の先端部が、図3に示す場合と比較してさらに先鋭化しており、その周りを囲うようにゲート電極14が設けられている実施例を示す。この場合、形状効果によってカソード電極13先端部での電界集中が有効に働くために、ゲート電圧を低くすることができるが、先端部のみで電界放出が起こるために電界放出面積は小さくなる。また、図5には、先鋭化された先端部が無い凸凹形状のカソード電極とゲート電極とが噛み合った構造の実施例を示す。この場合、図3及び図4に比較して電界集中の割合は小さくなるが、電子放出面積を大きくすることができるというメリットがある。

【0027】従って、図3に示した第1の実施例は、図4に示した実施例と図5に示した実施例との中間的な特徴を有することになる。このように、要求される特性に合わせてカソード電極及びゲート電極の平面形状を設定

すればよい。

【0028】図6から図8は、電子移動空間としての溝におけるカソード電極層の先端部の断面形状の異なる他の実施例を示すものである。図6に示す実施例は最も基本的な形状を示したもので、カソード電極21の先端部21aはそのままの厚みで絶縁層24より突出している。本実施例は、電子放出部であるカソード先端部の機械的強度に優れ、製造は容易である。図7に示す実施例は、カソード電極31の先端部31aがゲート電極32の方向に向かって傾斜するように突出して設けられており、ゲート印加電圧によるカソード電極先端部の電界分布の最適化及び電界放出による電子放出方向を考慮したものである。図8に示す実施例は、カソード電極41の先端部41aがカソード電極厚さ方向に尖鋭化しているもので、形状効果によるカソード電極41の先端部41aでの電界集中が有効に働くためにゲート電圧を低くすることができる。尚、図1及び2に示した実施例は図7に示した実施例と図8に示した実施例とを組み合わせたものである。この様に、本発明による電界放出型電子素子は、カソード電極電子放出部の形状及び先端部の向いている方向の自由度を有するために、カソード先端部での電界集中が効果的に得られ、電界放出による放出電流密度の増大を達成できる。

【0029】図9に示すように、電界放出型電子素子は基板とアノード電極とが一体となった導電性のアノード電極基板53を備えてもよい。この際、アノード電極基板53としては、低抵抗の単結晶シリコン基板を用いてもよい。尚、若しくは金属プレート等を用いてもよい。尚、アノード電極基板53を単結晶シリコン基板とした場合、製造工程上、絶縁層55及び絶縁層56に熱酸化による酸化シリコン層を採用することができる。単結晶シリコンを熱酸化することによって得られる酸化シリコンは、真空蒸着法等で成膜したものに比較して絶縁特性は優れているために絶縁層としての利用に適している。さらに、シリコン基板は他の電子素子とのモノシリック化が容易であり、製造工程の簡略化も図れる。

【0030】好ましい実施例においては、図10に示すように、溝67の底部のシリコン基板64表面上に帯状（図中紙面垂直方向に延びている）のアノード電極層63が積層されている。また、図11は他の実施例を示しており、溝77のシリコン基板74内部の表面層に、帯状（図中紙面垂直方向に延びている）のアノード電極層73が形成されている。ここで、基板74にはノンドーブシリコン基板等の高抵抗単結晶シリコン基板を用い、アノード電極73に相当する部分はリン等のn型不純物を帯状に基板74の一部にドーブしたn型低抵抗領域で構成されている。この低抵抗領域は、ボロン等をドーブしたp型低抵抗領域で構成されてもよい。図10及び図11に示した実施例では、アノード電極層の基板平面に占める面積が小さくなり、これによりカソード電極とア

ノード電極とが重なる面積（基板平面に関して）及びゲート電極とアノード電極とが重なる面積が小さくなるので、各電極間のキャパシタンスは、カソード電極-ゲート電極間のみでなく、カソード電極-アノード電極間及びゲート電極-アノード電極間のキャパシタンスもそれぞれ小さくすることが可能となる。これによって、素子のカットオフ周波数 $f_c$ を大きくすることができ、素子の高速動作が可能となる。

【0031】次に、本発明による電界放出型電子素子の製造方法の一例について図12を参照して説明する。

【0032】本実施例は、アノード電極-ゲート電極間隔、ゲート電極-カソード電極間隔、及びアノード電極-ゲート電極間隔をそれぞれ独立した工程で設定できる製造方法であり、また、カソード電極の先鋭化、並びに先鋭化の方向に関しても夫々独立した工程での設定を可能にするものである。また、微細マスクパターンのレジストへの転写が1回だけで済むため、マスクパターンの重ね合わせのための精密な位置合わせを必要としないと言う特徴を有している。

【0033】図12(A)～(F)の断面図は製造工程の各段階を示している。まず、同図(A)に示すように、基板84上にアノード電極金属層83を0.1 $\mu$ m程度、絶縁層86aを0.3 $\mu$ m程度及びゲート電極金属層82aを0.1 $\mu$ m程度それぞれ積層した後、さらに、レジストによるマスク88を形成する。ここで、絶縁層86aの厚さによってアノード電極とゲート電極との間隔が設定されることになる。尚、電極金属層83及び82a、並びに絶縁層86aの形成には電子ビーム蒸着法を用いたが、これに限られるものではなく、使用する材料等に合わせて、スパッタリング法、又はCVD法等で行ってもよい。

【0034】次に、図12(B)に示すようにレジストによるマスク88に従って、ゲート電極金属層82aを選択的にエッチング除去し、さらに、図中 $d_{s1}$ で示す幅だけゲート電極金属層82aのサイドエッチングを行う。ここでのサイドエッチング量 $d_{s1}$ は、最終的には、カソード電極81とゲート電極82との間の水平方向距離に相当することになる。その後、ゲート電極金属層82aのエッチング除去と同様に、絶縁層86aのエッチング除去を行う。

【0035】次に、図12(C)に示すように、電子ビーム真空蒸着法により絶縁層85aを形成する。ここで、図中Bで示すように、蒸着源を移動するか、又は、基板84を回転させることにより、相対的に蒸着方向の角度を数度から十数度程度変化させ、レジストによるマスク88の近傍に向かって絶縁層85aの厚さが若干薄くなるように蒸着を行う。これによって、カソード電極の先端部の方向が設定され得る。また、全体的な絶縁層85aの厚さにより、アノード電極とカソード電極との間隔が設定されることになる。さらに、図12(D)に

示すように、電子ビーム真空蒸着法によってカソード電極金属層81を形成する。ここで、蒸着源を移動するか、又は、基板84を回転させることにより、図中矢印Cに示す如く相対的に蒸着方向の角度を数度から十数度変化させて、レジストによるマスク88の近傍に向かってカソード電極金属層84が厚さ方向において先鋭化するように蒸着を実施する。

【0036】その後、レジストによるマスク88と共に、このマスク88上に堆積した絶縁材料層85b及びカソード電極材料層81aが除去され、図12(E)に示す構造を得る。さらに、絶縁層85a及び86bをサイドエッチングすることにより、溝87にカソード電極81の先鋭化された先端部及びゲート電極82の先端部を突出させ、図12(F)に示すような目的の電界放出型電子素子を得ることができる。

【0037】以上示した電界放出型電子素子の製造方法によって、動作電圧の低減化がなされかつ高速動作が可能な電界放出型電子素子が提供される。

【0038】

【発明の効果】本発明による電界放出型電子素子は、アノード電極と、該アノード電極上に絶縁物を介して形成されたカソード電極と、アノード電極上に絶縁物を介して形成されたゲート電極とを備えており、カソード電極とゲート電極とが電子移動空間としての間隙を隔てて配置されたので、各電極間の距離を小さくすることが可能である。従って、従来の電界放出型電子素子と比較して、より低いゲート印加電圧で電界放出に必要な電界強度を得ることができる。さらに、アノード印加電圧の減及びアノード電極とカソード電極との間の電子移動時間の短縮が可能となる。また、各電極間のキャパシタンスの小さい素子となるため、素子のカットオフ周波数が大きくなり、素子の高速動作が可能となる。

【図面の簡単な説明】

【図1】本発明に係る電界放出型電子素子の一実施例の斜視図である。

【図2】図1のA-A線の断面図である。

【図3】本発明に係る電界放出型電子素子の他の実施例の部分平面図である。

【図4】本発明に係る電界放出型電子素子の他の実施例の部分平面図である。

【図5】本発明に係る電界放出型電子素子の他の実施例の部分平面図である。

【図6】本発明に係る電界放出型電子素子の他の実施例の要部断面図である。

【図7】本発明に係る電界放出型電子素子の他の実施例の要部断面図である。

【図8】本発明に係る電界放出型電子素子の他の実施例の要部断面図である。

【図9】本発明に係る電界放出型電子素子の他の実施例の要部断面図である。

【図10】本発明に係る電界放出型電子素子の他の実施例の要部断面図である。

【図11】本発明に係る電界放出型電子素子の他の実施例の要部断面図である。

【図12】本発明に係る電界放出型電子素子の製造方法の一例を表す要部断面図である。

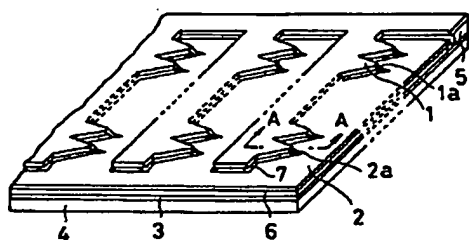
【図13】従来の電界放出型電子素子の斜視図である。

【図14】図13のD-D線の断面図である。

【符号の説明】

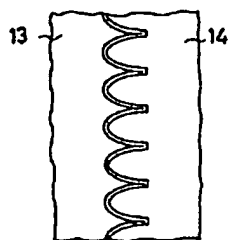
- 1 カソード電極
- 2 ゲート電極
- 3 アノード電極
- 4 基板
- 5、6 絶縁層
- 7 溝

【図1】

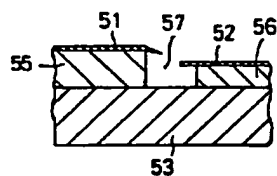


【図4】

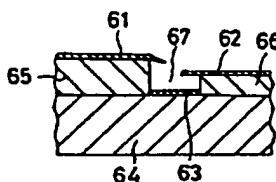
【図5】



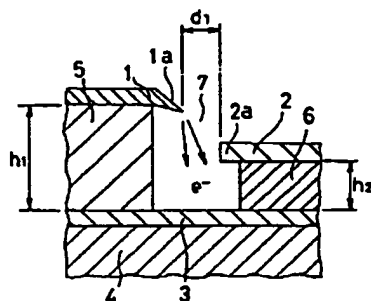
【図9】



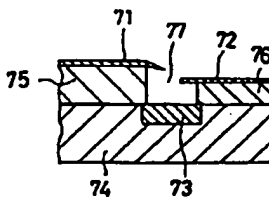
【図10】



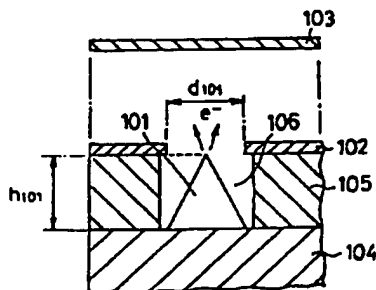
【図2】



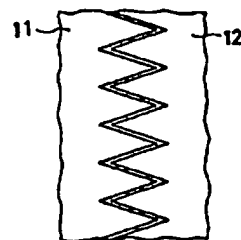
【図11】



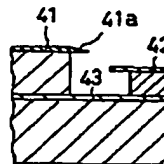
【図14】



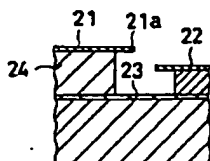
【図3】



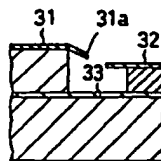
【図8】



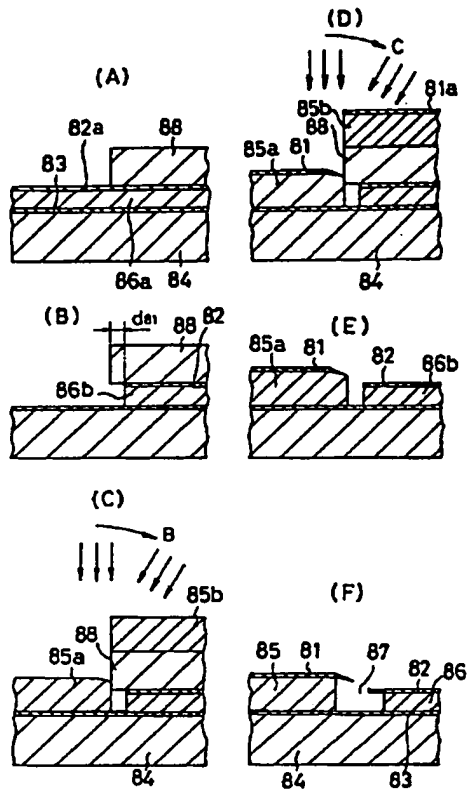
【図6】



【図7】



【図12】



【図13】

